



Home



Search



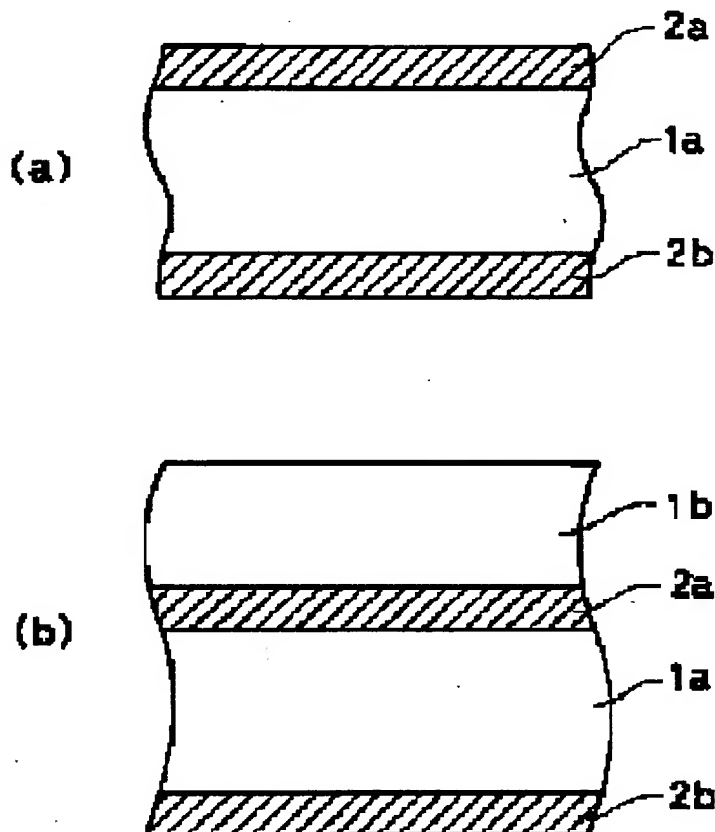
List

☐ Include**MicroPatent® PatSearch FullText:** Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP (bibliographic data only) DE-C  
DE-A DE-T DE-U GB-A

Years: 1971-2003

Patent/Publication No.: JP5206146

[Order This Patent](#)[Family Lookup](#)[Find Similar](#)[Legal Status](#)[Go to first matching text](#)

JP05206146 A

MANUFACTURE OF SEMICONDUCTOR DEVICE  
TOSHIBA CORP

Inventor(s): ;NADAHARA SOUICHI ;YAMABE KIKUO

Application No. 04011109 JP04011109 JP, Filed 19920124,A1 Published 19930813

**Abstract:** PURPOSE: To provide a method of manufacturing a semiconductor device, in which gettering is carried out without causing adverse effects on device characteristics.

CONSTITUTION: A boron-doped polysilicon film 2a of about 400nm with a boron concentration of  $10^{20}$  atoms/cm<sup>3</sup> is deposited on the back surface of a silicon wafer 1b by CVD using SiH<sub>4</sub> and B<sub>2</sub>H<sub>6</sub>. The wafer is heat-treated at a low temperature so that contaminants can precipitate from the active region to the boron-doped polysilicon film 2a.

COPYRIGHT: (C)1993,JPO&Japio

Int'l Class: H01L021322;

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.



Home



Search



List

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-206146

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/322

識別記号

庁内整理番号

S 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平4-11109

(22)出願日 平成4年(1992)1月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 灘原 壮一

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 山部 紀久夫

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

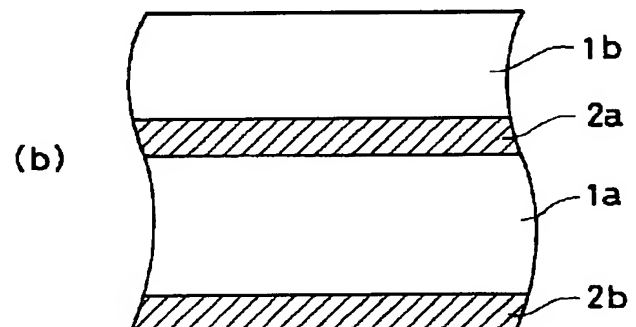
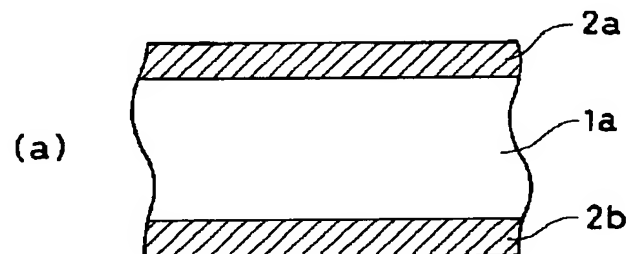
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】本発明は、素子特性の低下を招くことなくゲッタリングを行なうことができる半導体装置の製造方法を提供することを目的とする。

【構成】 $\text{SiH}_4$  ガス、 $\text{P}_2\text{H}_6$  ガスを用いたCVD法により、シリコン基板1bの裏面にボロン濃度が $10^{20}$  atoms/cm<sup>3</sup>程度以上、膜厚が400nm程度のボロンドープポリシリコン膜2aを堆積し、引き続き、低温熱処理を行なって素子領域中の汚染物質をボロンドープポリシリコン膜2aに偏析せしめることを特徴とする。



## 【特許請求の範囲】

【請求項1】表面に素子が形成される半導体基板の裏面にボロンを含むシリコン膜を設ける工程と、熱処理により、前記半導体基板中の汚染物質を、前記ボロンを含むシリコン膜中に吸込み、前記汚染物質を前記半導体基板から除去する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】前記熱処理の温度は、600～900℃であることを特徴とする請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係わり、特に素子形成領域から重金属等の汚染物質を除去する工程を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】半導体装置の製造工程中に侵入する汚染物質、例えば、鉄、銅等の重金属は、Si基板のSi中の格子位置や、格子間位置に析出する。この結果、少数キャリアの生成消滅中心の形成、pn接合のリーク電流の増大、過剰キャリア寿命の短命化等が起こり、半導体装置の電気的特性が劣化する。

【0003】例えば、MOS型メモリ素子においては、発生した過剰電子又は過剰正孔がSi基板内を拡散するため、電荷蓄積セル内に蓄積された電荷が減少し、これにより蓄積電荷が臨界電荷以下になると、メモリセルの状態が1から0へ反転し、蓄積情報が失われる。

【0004】また、CCDにおいては、生成消滅中心から発生した過剰キャリアが、入射光による過剰キャリアと同様に信号電荷として検出される。この結果、生成消滅中心から発生した過剰キャリアが非常に強い信号（白傷）となって、画質の低下が生じる。

【0005】また、バイポーラ素子においては、生成消滅中心は、pn接合のリーク電流の増大の原因となる。また、ベース領域に発生した過剰キャリアは、異常な信号として外部に伝わるため、低周波ノイズが増大するなどの不都合が生じる。

【0006】このように重金属汚染は、素子の電気的特性の劣化を引き起こし、特に超LSIの生産においては、少量の汚染でも素子特性が劣化・変動するため、生産歩留まりを低下させる大きな原因となっていた。このような汚染物質に対して、従来より2つの対策が行なわれている。

【0007】1つは、汚染源を極力なくすることである。汚染源としては、弗酸、硝酸、塩酸、過酸化水素、弗化アンモニウム、硫酸等の化学薬品、超純水、クリーンルーム内のダスト、作業着、レジスト、各種微細加工装置内で発生する微粒子等、枚挙に暇がない。これらの純度を改善し、微粒子汚染を低減する技術は、超クリーン化技術として開発が行われている。

【0008】しかしながら、超LSIの製造環境、使用材料の清浄化及び製造装置からの汚染の低減など超クリーン技術の開発が進んでも、数百工程に及ぶ超LSI製造工程を必要な清浄度で完璧に管理することは困難である。統計的にもある確率で汚染が発生することが続いていた。このように、超LSI製造工程の全工程において、汚染物質の管理を行なっているが、製造工程数の増大と共に汚染される可能性はかなり高くなり、幾つかの工程において汚染が生じるのは避けられないことである。もう1つは、重金属等の汚染物質を素子の活性領域から取り除いてしまうこと、即ち、ゲッタリングである。ゲッタリングには、リングゲッタリング、ウエハ裏面ダメージゲッタリング、イントリンシックゲッタリング等がある。

【0009】リングゲッタリングでは、工程の最終段階でウエハ裏面からリンを拡散させ、汚染重金属をリン拡散層に偏析させ、素子の活性領域から汚染重金属を取り除いている。リングゲッタリングを行なうには、例えば、 $\text{POCl}_3$ をリンの原料ガスとして用い、ウエハを900℃～1000℃の温度の下で酸化性雰囲気中に晒す。

【0010】ウエハ裏面ダメージゲッタリングでは、ウエハ裏面に故意に機械的歪みを形成する。この結果、この機械的歪みを核にして、超LSI工程中、特に最初の酸化工程で酸化誘起積層欠陥が発生し、そこに重金属が偏析する。機械的歪みは、例えば、 $\text{SiO}_2$ 微粉をウエハ裏面に吹き付ければ形成できる。酸化誘起積層欠陥は、1100℃程度の酸化工程で最も成長が速いので、このゲッタリングは特に高温工程で有効な方法とされている。

【0011】イントリンシックゲッタリングでは、650℃～750℃の低温熱処理によって酸素の析出核を形成した後、1000℃～1100℃の高温熱処理で酸素を析出させ、この酸素に重金属を取り込んでいる。また、表面近傍の素子の活性領域内に析出物が発生するのを防止するために、1200℃程度の高温熱処理を低温熱処理の前に行なうことも多い。通常、上記低温熱処理はウエハ製造工程で行ない、上記高温熱処理は超LSI製造工程で行なっている。しかしながら、上記ゲッタリングに次のような問題があった。

【0012】即ち、ウエハ裏面ダメージゲッタリングやイントリンシックゲッタリングのようにウエハ製造工程で行なうものは、ウエハコストが上昇するという問題がある。また、リングゲッタリングでもゲッタリング工程が追加されるので、この場合もコストが上昇する。また、熱処理の温度に関しても問題があった。

【0013】即ち、超LSIの微細化が進むにつれて、各素子間の距離が短くなるので、リン、砒素、ボロン等によるpn接合形成やしきい値電圧コントロール等のための局所的ドーピングは、900℃以下、例えば、800～850℃程度の低温熱処理で行なう必要がある。し

かし、上述したように、ウエハ裏面ダメージゲッタリングでは、酸化誘起積層欠陥の成長のために約1000℃以上の高温熱処理を必要とし、イントリンシックゲッタリングでは、酸素の析出のために約900℃以上の高温熱処理を必要とする。また、リングゲッタリングでも、リンの拡散係数の温度依存性により、低温では十分なリン拡散を行なうことが困難であった。

【0014】したがって、微細化が進むにつれて、最適温度より低い温度でゲッタリングを行なわなければならない、汚染物質を十分に取り除くことができないという問題があった。

【0015】

【発明が解決しようとする課題】 上述の如く、超クリーン技術の開発が進んでも、素子の微細化により、より少量の汚染でも素子特性が低下するため、ゲッタリングによる汚染物質の除去は超LSIの製造に不可欠な工程となっている。しかしながら、従来の超LSIにおけるゲッタリングでは、コストや熱処理温度の点において問題があった。

【0016】本発明は、上記事情を考慮してなされたもので、その目的とするところは、低温熱処理でも十分に汚染物質を取り除くことができる半導体装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】 上記の目的を達するために、本発明の半導体装置の製造方法は、表面に素子が形成される半導体基板の裏面にボロンを含むシリコン膜を設ける工程と、熱処理により、前記半導体基板中の汚染物質を、前記ボロンを含むシリコン膜中に偏析させ、前記汚染物質を前記半導体基板から除去する工程とを備えていることを特徴とする半導体装置の製造方法。なお、上記熱処理の温度は、600～900℃であることが望ましい。

【0018】また、上記シリコン膜は複数であっても良い。例えば、素子下部に第1のボロンを含むシリコン膜が形成された後、ノンドープのシリコン膜或いはシリコン基板を介して第2のボロンを含むシリコン膜が形成されたものでも良い。更に、外界と接するボロンを含むシリコン膜、例えば、上記第2のシリコン膜は、酸化膜、窒化膜等の保護膜で被覆されていることが望ましい。

【0019】

【作用】 本発明者の研究によれば、ボロンは、熱処理温度が低い方が重金属等の汚染物質の吸込み能力が高いことが分かった。

【0020】したがって、ボロンを含んだシリコン膜を半導体基板の裏面に設ければ、低温度熱処理でも、半導体基板中の汚染物質を上記シリコン膜中に十分に取込むことができるので、製造プロセスの温度上昇を招くことなく汚染物質の除去ができる。

【0021】

【実施例】 以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係わる半導体装置の製造工程断面図である。これは張り付けウエハ法を利用したものである。

【0022】 先ず、図1(a)に示す如く、比抵抗が10Ωcmで表面が(100)面のn型のシリコン基板1aに、例えば、SiH<sub>4</sub>、B<sub>2</sub>H<sub>6</sub>ガスをを用いたCVD法を用いて、ボロン濃度が10<sup>20</sup>[atom/cm<sup>2</sup>]以上、膜厚が400nm程度のボロンドープポリシリコン膜2a、2bを形成する。以下、ボロンドープポリシリコン膜2aをゲッタリングサイト2aと呼び、ボロンドープポリシリコン膜2bをゲッタリングバリア2bと呼ぶ。

【0023】 次に図1(b)に示す如く、シリコン基板1aと同規格のシリコン基板1bをゲッタリングサイト2aの表面に張り付ける。次いでこのシリコン基板1bの表面に所望の素子を形成する。

【0024】 以上述べた方法によれば、素子形成工程中の熱処理により、シリコン基板1bに混入した重金属等の汚染物質は、ゲッタリングサイト2aに取り込まれるので、素子活性領域の汚染を防止できる。また、ゲッタリングバリア2bは、基板1aの裏面から混入する汚染物質が素子形成領域へ拡散するのを防止している。かくして本実施例によれば、素子形成領域の汚染を防止できるので、製造歩留まりの向上を図ることができる。

【0025】 また、後述するように、ゲッタリングサイト2a及びゲッタリングバリア2bの重金属の除去能力(ゲッタリング能力)は、低温熱処理を行なったほうがより高くなるため、従来法のようにpn接合の深さが変化するといった問題などは生じない。

【0026】 更に、本実施例では、ゲッタリングのために新たな低温熱処理工程を追加する必要がないので、工程数の増大や、コスト上昇といった問題も生じない。これは、素子形成のための熱処理が低温熱処理の役割を果たすからである。

【0027】 更にまた、従来のゲッタリング、例えば、リングゲッタリングでは、工程の最終段階で汚染物質の除去を行なっていたが、本実施例では、素子形成の最初の工程から汚染物質の除去を行なうことができるという利点がある。なお、ゲッタリングサイト2aの上下のシリコン基板1a、1bに関しては、素子構造によって変化しても構わない。

【0028】 本発明者等は、金属溶液を用いてシリコン基板に強制汚染を行ない、ゲッタリングサイトとして機能するボロンドープポリシリコン膜を形成し、このポリシリコン膜のゲッタリング能力をシリコン基板の少数キャリアの再結合寿命から評価した。

【0029】 具体的には、まず、Fe濃度が1ppmで、0.1N規定のHNO<sub>3</sub>酸性のFe溶液にシリコン基板を浸して強制汚染を行ない、続いて、スピン乾燥後

に、1000℃、60分間のN<sub>2</sub>アニールを行なった後、600℃でボロンドープポリシリコン膜をシリコン基板の裏面に形成し、次いでN<sub>2</sub>アニールを1時間行ない、シリコン基板の表面を弗硝酸溶液で約40μmエッチングした。そして、Surface Photovoltage (SPV) 法を用いて、シリコン基板中の少数キャリアの拡散長を測定し、この測定結果から少数キャリアの再結合寿命を求めた。

【0030】図2は、その測定結果で、再結合寿命と熱処理温度(N<sub>2</sub>アニール)との関係を示す特性図である。図中、黒丸印は、ボロン濃度が $3 \times 10^{21} [\text{cm}^{-3}]$ の場合の測定結果であり、白丸印は、ボロン濃度が $1 \times 10^{20} [\text{cm}^{-3}]$ の場合の測定結果である。この図から、熱処理温度が高いほど、再結合寿命が短くなっていることが分かる。即ち、ゲッタリング効果は低温の方が高い。更に、熱処理温度が同じの場合には、ボロン濃度が高いほど、ゲッタリング効果が高いことも分かる。

【0031】また、低温熱処理で効果的にゲッタリングを行なうには、熱処理時間が一定時間以上でなければならない。即ち、この熱処理時間は、重金属が基板の一表面からゲッタリングサイトのある他表面までの最短経路を走るのに必要な時間以上でなければならない。

【0032】上記熱処理時間は、熱処理温度に依存するものであり、温度が高くなれば重金属の基板内を走る速度が大きくなる。図3に熱処理時間と熱処理温度との関係を示す。図中、縦軸は熱処理時間 $t$  [分]の平方根を表わし、横軸は熱処理温度 $T$  [℃]を表わしている。ここで示された曲線は、各熱処理温度に対応する最小熱処理時間を示し、最適な熱処理時間の領域(斜線部分)と熱処理時間には不適当な領域の境界を示すものである。この曲線上における600℃、700℃、800℃、900℃、1000℃の熱処理時間は、それぞれ約104分、42分、21分、10分、6分である。図4は、ボロンドープシリコン膜がゲッタリング効果の向上に実際に寄与していることを示す再結合寿命と熱処理温度との関係を示す特性図である。

【0033】図中、A群の測定データは、シリコン基板の表面にシリコン膜を形成した場合の測定結果であり、黒丸印は、シリコン基板の表面にボロンドープシリコン膜を形成した場合の測定結果であり、白丸印は、シリコン基板の表面にアンドープシリコン膜を形成した場合の測定結果である。

【0034】一方、B群の測定データは、シリコン基板上にSiO<sub>2</sub>膜を介してボロンドープシリコン膜を形成した場合の測定結果であり、黒三角印は、シリコン基板上にSiO<sub>2</sub>膜を介してボロンドープシリコン膜を形成した場合の測定結果であり、白三角印は、シリコン基板上にSiO<sub>2</sub>膜を介してアンドープシリコン膜を形成した場合の測定結果である。なお、図中、被汚染レベルと

は、Fe汚染もゲッタリングもされていないシリコン基板の再結合寿命を表している。

【0035】この図から、シリコン基板の表面にボロンドープシリコン膜を形成した場合、膜厚が厚い方がゲッタリング効果が高いことが分かる。また、シリコン基板の表面にアンドープシリコン膜を形成した場合も、膜厚が厚い方がゲッタリング効果が高いが、ボロンドープシリコン膜の場合に比べてその効果が小さく、実用的ではない。

【0036】一方、シリコン基板上にSiO<sub>2</sub>膜を介してシリコン膜を形成した場合、ボロンドープシリコン膜、アンドープシリコン膜に関わらず、ゲッタリング効果が得られないことが分かる。この場合、シリコン膜の吸込み効果による再結合寿命の改善は期待できないが、熱処理温度が低くなれば、これに伴いFeの固溶限が低下するので、Feの析出による再結合寿命の改善が期待される。しかしながら、上記測定結果は、それを否定するものである。

【0037】即ち、シリコン基板の表面にボロンドープシリコン膜を形成した場合、低温熱処理の方が再結合寿命が高いのは、低温熱処理に伴うFeの固溶限の低下による、みかけ上の改善ではないことを意味している。

【0038】また、再結合寿命は10μsec以上であることが望ましいので、熱処理温度は900℃以下であることが望ましいことが分かる。一方、熱処理温度の下限は生産性の観点から600℃以上であることが望ましい。それ以下だと、図3から分かるように、長い熱処理時間を必要とし、量産が困難になる。図5は、本発明の第2の実施例に係わるCMOSトランジスタの製造工程断面図である。

【0039】まず、図5(a)に示す如く、比抵抗が10Ωcmで表面が(100)面のn型シリコン基板11のnチャネルMOSトランジスタ形成部分に、加速電圧160keVでボロンを約 $1.5 \times 10^{13} \text{cm}^{-2}$ イオン注入する。その後、1190℃で8時間の熱処理を行ない、pウェル12を形成し、基板11の表面をpMOS領域とnMOS領域とに分離する。

【0040】次に図5(b)に示す如く、素子分離を行なうために、例えば、厚さ約700nmの厚いフィールド酸化膜13を選択的に形成した後、ゲート酸化膜となる厚さ10~20nm程度の薄い酸化膜14を形成する。次いでゲート電極となるアンドープポリシリコン膜15にリンを熱拡散させたn<sup>+</sup>ポリシリコン膜15を形成した後、これを通常のフォトリソグラフィを用いてゲート電極状にパターニングする。

【0041】次いでゲート電極15及びフィールド酸化膜13をマスクとしてイオン注入を行ない、自己整合的にp<sup>+</sup>不純物層16、n<sup>+</sup>不純物層17を形成する。これにより、p型MOSトランジスタ及びn型MOSトランジスタのソース、ドレイン領域が形成される。なお、

n型MOSトランジスタ領域にp型不純物をイオン注入するときには、p型MOSトランジスタ領域をフォトレジストによりマスクする。逆に、p型MOSトランジスタ領域にn型不純物をイオン注入するときには、n型MOSトランジスタ領域をフォトレジストによりマスクする。なお、n型不純物としては例えば砒素等のV族元素、また、p型不純物としては例えば硼素、弗化硼素等を用いる。

【0042】次に図5(c)に示す如く、全面にCVD酸化膜18を堆積し、この酸化膜18の所定の部分に開口部を形成し、続いて、全面にポリシリコン膜19を堆積する。次いでフォトリソグラフィを用いてこのポリシリコン膜19を電極状にパターンニングした後、全面を厚さ400nm程度の絶縁膜20、例えば、PSGやBP SG等のリンガラス膜で被覆する。

【0043】次いで、例えば、 $\text{SiH}_4$ ガス、 $\text{B}_2\text{H}_6$ ガスをを用いたCVD法により、ゲッタリングサイトとなる、ボロン濃度が $10^{20}\text{atoms/cm}^3$ 以上、膜厚が400nm程度のボロンドープポリシリコン膜21を基板11の裏面に形成する。成膜条件は第1の実施例の条件と同様である。なお、重金属等の汚染物質の除去工程としては、ボロンドープポリシリコン膜21の形成時間内で多くの場合十分であるが、汚染物質の拡散に対して不十分である場合には、引き続いて900℃以下の低温熱処理工程を追加する。

【0044】そして図5(d)に示す如く、基板表面の不要なポリシリコン膜を除去した後、絶縁膜20にコンタクトホールを形成し、続いて、メタライゼーション工程を行ない、微細加工によって配線パターン22を形成した後、 $\text{N}_2$ 雰囲気中で450℃、15分の熱処理を行なう。最後に、素子全体を保護するために、パッシベーション膜23を全体に堆積してCMOSトランジスタを完成する。

【0045】本発明者等は、本実施例の方法及び従来法でCMOSトランジスタを作成し、それぞれのリーク電流を調べてみた。図6は、その測定結果で、リーク電流と電圧との関係を示す特性図である。この図から、低温ゲッタリングを行なった本実施例の素子のリーク電流の方が、従来法の素子のそれより約1桁リーク電流が小さいことが分かる。

【0046】かくして本実施例によれば、素子形成工程中にボロンドープシリコン膜21を形成することにより、リーク電流の小さいCMOSトランジスタを得ることができる。

【0047】なお、第1の実施例のように、ゲッタリングサイト、ゲッタリングバリアが形成されたシリコン基板とシリコン基板11とを張り合わせた後、CMOSトランジスタの形成を行なっても良い。更にゲッタリングバリアの表面に酸化膜や窒化膜からなる保護膜を形成しても良い。図7、図8は、本発明の第3の実施例に係わ

るDRAMセルの製造工程断面図である。

【0048】先ず、図7(a)に示す如く、比抵抗が約 $10\Omega\text{cm}$ のp型シリコン基板31上にフィールド酸化膜32を選択的に形成した後に、全面に厚さ約0.8 $\mu\text{m}$ のCVD酸化膜33を堆積する。次いで、例えば、 $\text{SiH}_4$ ガス、 $\text{B}_2\text{H}_6$ ガスをを用いたCVD法により、基板31の裏面にゲッタリングサイトとなるボロン濃度が $10^{20}\text{atoms/cm}^3$ 以上、膜厚が約400nm程度のボロンドープポリシリコン膜21を形成する。成膜条件は第1の実施例の材料と同様である。汚染物質の除去工程は、引き続き素子形成工程の熱処理により行なわれる。なお、この熱処理中で生じるボロンドープポリシリコン膜21の薄膜化を防ぐために、ボロンドープポリシリコン膜21の表面に保護膜となる $\text{SiO}_2$ 膜や $\text{SiN}$ 膜等の絶縁膜を形成したほうが望ましい。この後、フォトリソグラフィを用いて基板31の表面にキャパシタ形成領域内に窓を形成する。

【0049】次に図7(b)に示す如く、CVD酸化膜33をマスクに用いて基板31をエッチングし、DRAMセルのMOSキャパシタとなる領域内に、垂直壁を有する深さ約3 $\mu\text{m}$ の溝34を形成する。基板31のエッチングは、例えば、 $\text{CF}_4$ 、 $\text{SF}_6$ 、 $\text{CCl}_4$ 等を主成分とするガス或いはこれにHが入ったガスをを用いた反応性イオンエッチング(RIE)法で行なう。なお、RIE法によるエッチングの場合、マスクとして通常のフォトレジストを用いると、それ自体もエッチングされて消失する恐れがあるので、例えば、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜等の積層絶縁膜を用いることが望ましい。

【0050】次に図7(c)に示す如く、CVD酸化膜33をエッチング除去した後、露出したシリコン基板31の表面に $\text{n}^-$ 層35を形成し、続いて、熱酸化を行なってキャパシタ絶縁膜となる熱酸化膜36を形成する。そして多結晶シリコン膜を堆積し、これをパターンニングしてキャパシタ電極37を形成する。

【0051】次に図8(a)に示す如く、キャパシタ領域に隣接する位置にゲート絶縁膜となる熱酸化膜38、多結晶シリコン膜からなるゲート電極39を順次形成した後、例えば、砒素をイオン注入してソース、ドレインとなる $\text{n}^+$ 不純物層40、41を形成する。ここで、キャパシタ電極37及びゲート電極39を同一の多結晶シリコン膜で形成しても良い。

【0052】次に図8(b)に示す如く、CVD法を用いて全面に厚さ約400nmの絶縁膜42、例えば、PSGやBP SG等のリンガラス膜を堆積する。この後に、再び、例えば、 $\text{SiH}_4$ ガス、 $\text{B}_2\text{H}_6$ ガスをを用いたCVD法により、ゲッタリングサイトとなる、ボロン濃度が $10^{20}\text{atoms/cm}^3$ 以上、膜厚が約400nmのボロンドープポリシリコン膜を基板31の裏面に形成する。この後、重金属の除去工程として、例えば、800℃以下、20分以上の低温熱処理工程を行なう。

なお、先に形成したゲッタリングサイトとしてのボロンドープポリシリコン膜21が十分に残っていれば、再度、ボロンドープポリシリコン膜を形成する必要はなく、低温熱処理だけでも構わない。ここで、600℃以上の工程は終了する。最後に、メタライゼーション工程を行ない、微細加工によって配線パターンを形成した後、全面に保護膜を堆積してDRAMセルが完成する。以上述べた方法でも、低温熱処理で素子活性領域から重金属等の汚染物質を取り除くことができるので、素子特性の劣化を防止できる。

【0053】また、第1の実施例のように、ゲッタリングサイト、ゲッタリングバリアが形成されたシリコン基板とシリコン基板31とを張り合わせた後、DRAMセルの形成を行なっても良い。図9は、本発明の第4の実施例に係わる光電変換装置を含んだCCDイメージセンサの画素部の断面図である。

【0054】n型のシリコン基板51中には、pウェル領域52が形成されている。このpウェル52中には、垂直CCD領域53(n<sup>-</sup>層)とフォトダイオード領域61(n<sup>-</sup>層)とが交互に形成されている。垂直CCD領域53とフォトダイオード領域61とは、垂直CCDのチャネルストップ(P<sup>+</sup>層)60によって分離されている。垂直CCD領域53上には、SiO<sub>2</sub>からなるゲート酸化膜54を介してポリシリコンからなるゲート電極55が形成されている。このゲート電極55上には、SiO<sub>2</sub>等のCVD酸化膜56、アルミニウムからなる光シールド層57、59がこの順に形成され、その上には、BPSG等からなる絶縁膜58が形成されている。そして、基板51の裏面には、高濃度のボロンドープポリシリコン膜21が形成されている。このボロンドープポリシリコン膜21の形成は次のようにして行なう。

【0055】即ち、素子形成工程の初期に、CVD法を用いて、基板51の表面にマスクとなる厚さ約0.8μmのシリコン酸化膜を形成する。次いでSiH<sub>4</sub>ガス、B<sub>2</sub>H<sub>6</sub>ガスを用いたCVD法により、基板51の裏面にゲッタリングサイト(ゲッタリングバリア)となる、ボロン濃度が10<sup>20</sup>atoms/cm<sup>3</sup>以上、厚さが500nm程度のボロンドープポリシリコン膜21を形成する。成膜条件は第1の実施例の条件と同様である。続いて、例えば、800℃、20分以上の低温熱処理を行なう。この後、上述したpウェル領域52などを形成する工程に移行する。

【0056】本実施例でも、ボロンドープポリシリコン膜21により、重金属等の汚染物質の侵入防止や除去を行なうことができる。この結果、重金属による少数キャリアの生成消滅中心の発生を防止でき、白傷の発生を無くすることができる。

【0057】なお、第1の実施例のように、ゲッタリングサイト、ゲッタリングバリアが形成されたシリコン基板とシリコン基板51とを張り合わせた後、CCDの形

成を行なっても良い。更に、ゲッタリングバリアの表面を酸化膜や窒化膜からなる保護膜で被覆しても良い。

【0058】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、ポリシリコン膜を用いたゲッタリングサイト、ゲッタリングバリアについて説明したが、その代わりに、エピタキシャルシリコン膜等の膜を用いても良い。更に、ゲッタリングサイト、ゲッタリングバリアの形成工程は、上記実施例で述べた工程段階に限定されるものではなく、その前後の工程段階であっても良い。また、上記実施例では、ボロンを含むシリコン膜を基板の裏面に設けたが、その代わりに、例えば、基板の裏面にボロンをイオン注入し、基板の裏面をボロン層に変えても良い。要は、低温熱処理工程によりボロンに重金属等の不純物を取り込めるようにすれば良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

#### 【0059】

【発明の効果】以上詳述したように本発明によれば、基板裏面にボロンを含むシリコン膜を堆積し、低温熱処理によりこのポリシリコン膜に汚染物質を吸収させることで、素子特性の低下を招くことなく素子領域の汚染物質を除去でき、もって半導体素子の製造歩留まりを向上することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる半導体装置の製造工程断面図。

【図2】再結合寿命と熱処理温度との関係を示す特性図。

【図3】熱処理時間と熱処理温度との関係を示す特性図。

【図4】再結合寿命と熱処理温度との関係を示す特性図。

【図5】本発明の第2の実施例に係わるCMOSトランジスタの製造工程断面図リンのシリコンに対する固溶限曲線。

【図6】リーク電流と電圧との関係を示す特性図。

【図7】本発明の第3の実施例に係わるDRAMセルの製造工程断面図。

【図8】本発明の第3の実施例に係わるDRAMセルの製造工程断面図。

【図9】本発明の第4の実施例に係わるCCDイメージセンサの画素部の断面図。

#### 【符号の説明】

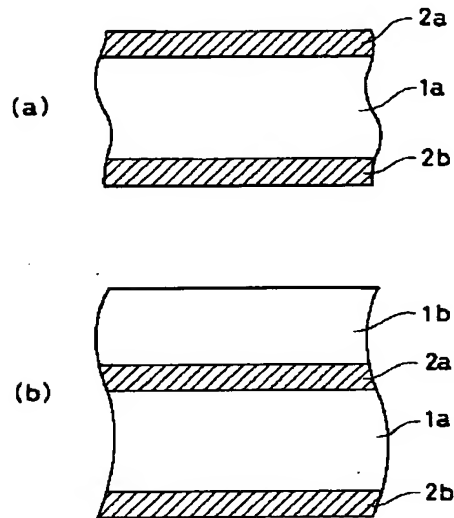
1a, 1b, 11, 31, 51…シリコン基板、2a, 2b, 21…ボロンドープポリシリコン膜、12, 52…pウェル、13, 32…フィールド酸化膜、14, 18, 36, 38, 54, 56…酸化膜、15…n<sup>+</sup>ポリシリコン膜、16…p<sup>+</sup>不純物層、17…n<sup>+</sup>不純物層、19…ポリシリコン膜、20, 42…絶縁膜、22…配線パターン、35…n<sup>-</sup>層、37…キャパシタ電



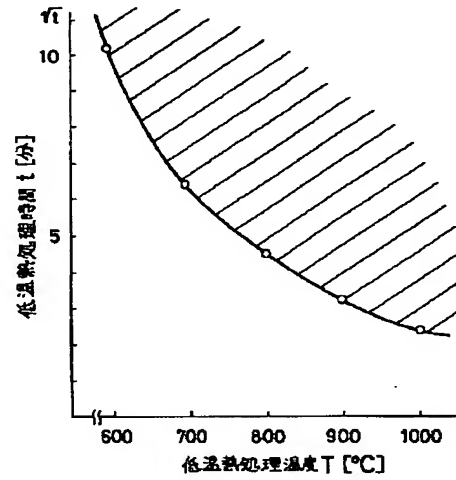
極、39, 55…ゲート電極、40, 41… $n^+$ 不純物層、53…垂直CCD領域、60…チャンネルストップ、

61…フォトダイオード領域。

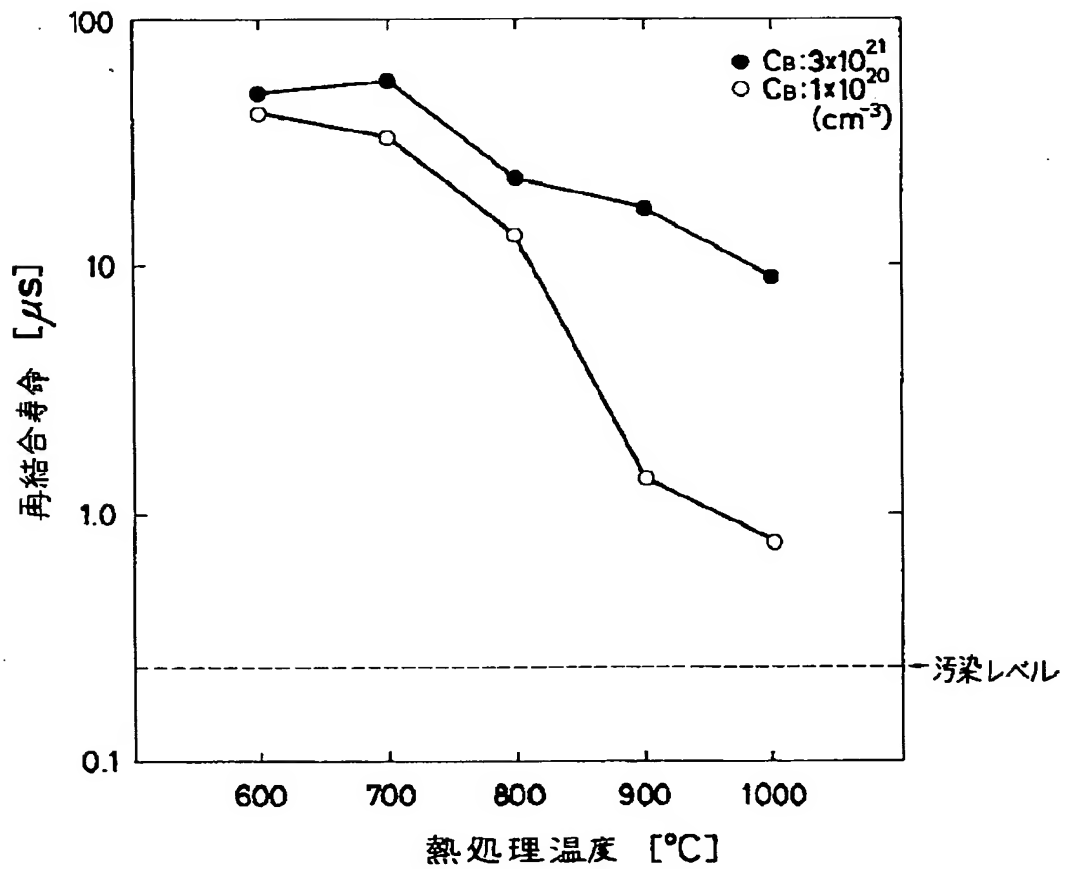
【図1】



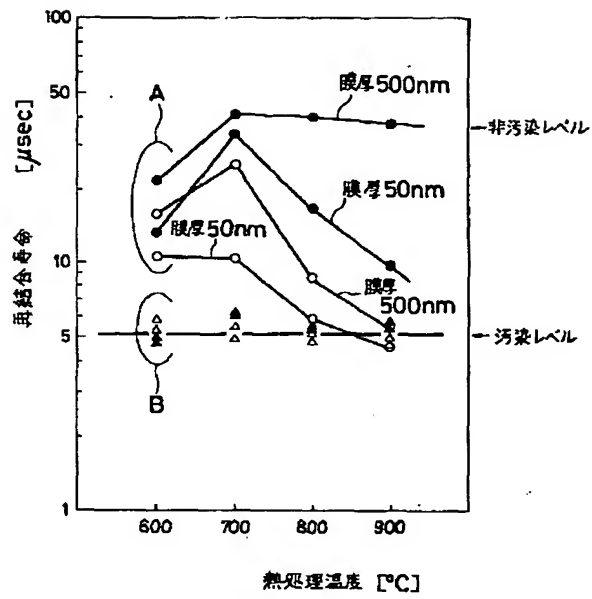
【図3】



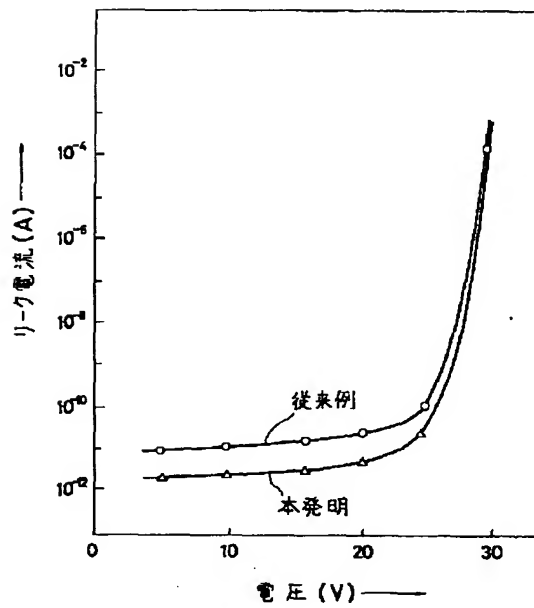
【図2】



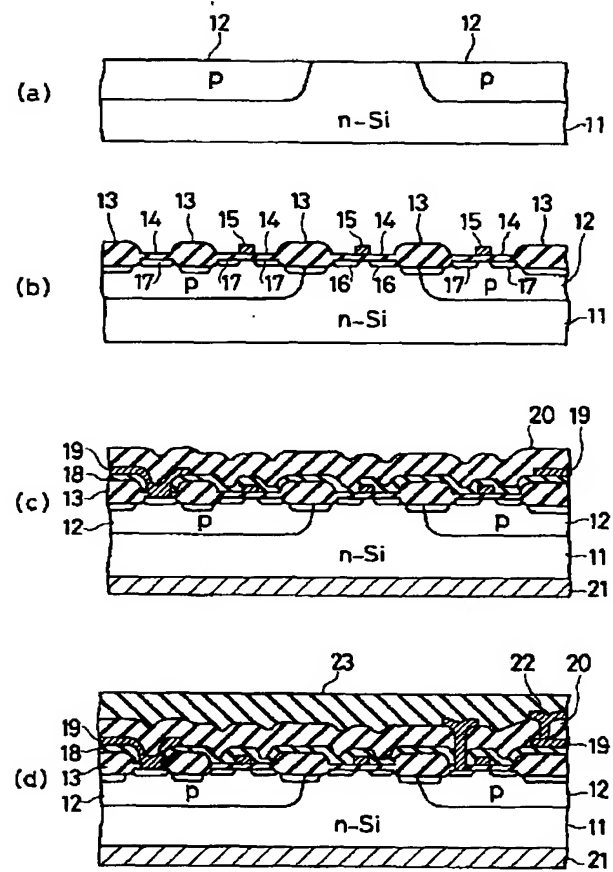
【図4】



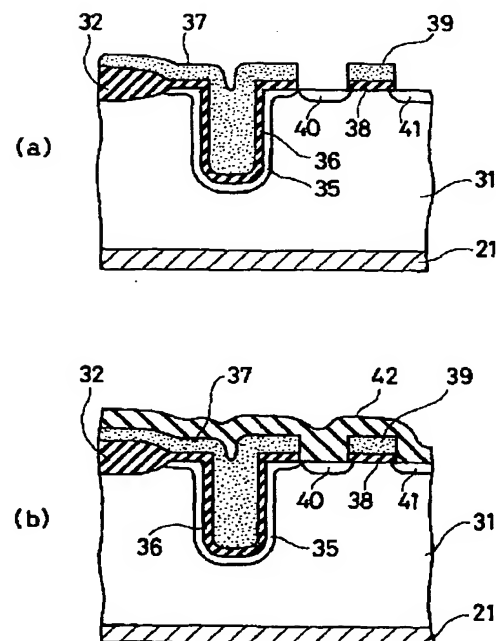
【図6】



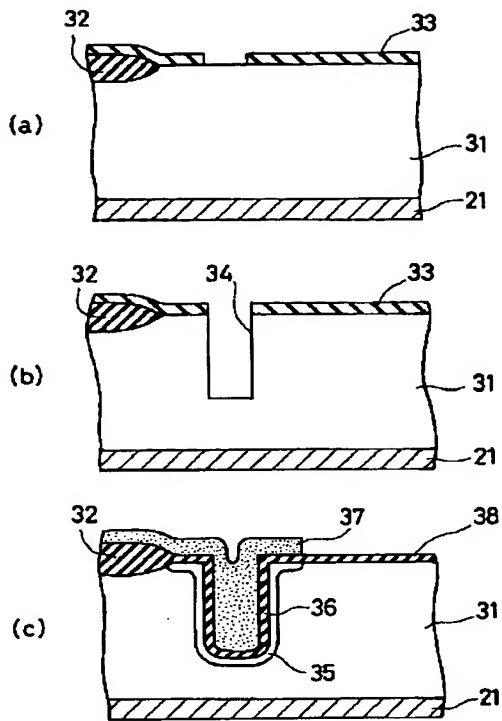
【図5】



【図8】



【図7】



【図9】

